

**ชื่อเรื่องวิทยานิพนธ์** การเพิ่มประสิทธิภาพการจัดตารางการผลิตโดยวิธีฮิวริสติกและเทคนิคการจำลองแบบปัญหาในอุตสาหกรรมประกอบชิ้นส่วนอิเล็กทรอนิกส์

**ผู้เขียน** นางสาวศิวรัศม์ อินตะวงค์

**ปริญญา** วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมอุตสาหการ)

**คณะกรรมการที่ปรึกษาวิทยานิพนธ์**

ผศ.ดร.สันติชัย ชิวสุทธิศิลป์	ประธานกรรมการ
ผศ.ดร.อรรถพล สมุทรกุลปดี	กรรมการ
ผศ.ดร.วิชัย นัทรทินวัฒน์	กรรมการ

### บทคัดย่อ

งานวิจัยนี้มีวัตถุประสงค์เพื่อลดความคลาดเคลื่อนในการวางแผนการผลิตด้วยเทคนิคการจำลองปัญหาและหาวิธีจัดลำดับการผลิตที่เหมาะสมที่ทำให้เวลาปิดงานของระบบ (Makespan) มีค่าลดลงสำหรับการผลิตแผงวงจรชนิดอ่อน (Flex Cable Circuit) ในกระบวนการผลิตสินค้าแบบม้วนของสายการผลิตพิมพ์แบบ 2 ด้าน กลุ่มสินค้าฟูลเพลท ปัญหาที่พบ คือ ความคลาดเคลื่อนของเวลาปิดงานจากการวางแผนการผลิตเทียบกับการผลิตจริงมีมากกว่าร้อยละ 20 (27 ชั่วโมง) และปัญหาการจัดลำดับงานที่ยังไม่มีความเหมาะสม ทำให้เกิดเวลาว่างงานและการรอคอยเครื่องจักรในแต่ละสถานีงานมากเกินไปส่งผลให้เวลาปิดงานของระบบมีระยะเวลายาวนาน (โดยเฉลี่ย 137 ชั่วโมง)

การลดความคลาดเคลื่อนในการวางแผนการผลิตโดยทำการพัฒนาแบบจำลองการผลิตด้วยโปรแกรมอาร์โน และทดสอบความถูกต้องของแบบจำลองด้วยการทดสอบสมมติฐาน เปรียบเทียบเวลาปิดงานจากการผลิตจริงกับเวลาปิดงานจากแบบจำลองสถานการณ์ ที่ระดับความเชื่อมั่น 95% สำหรับการจัดลำดับการผลิตที่เหมาะสม เนื่องจากกระบวนการผลิตเป็นแบบไหลเลื่อน (Flowshop) ลักษณะของปัญหาในการจัดลำดับการผลิตเป็นแบบ NP-Hard ซึ่งการหาคำตอบที่เหมาะสมจะยากมากและใช้เวลานาน ในการวิจัยเลือกใช้วิธีการจัดลำดับงานแบบฮิวริสติก 4 วิธีคือ 1) พาลเมอร์ 2) กุปต้า 3) ซีดีเอส (Campbell, Dudek and Smith) และ 4) HFMECA (Hybrid Flowshop under Machine Eligibility Constraint Algorithm) เปรียบเทียบกับการจัดลำดับงานแบบเดิมเพื่อหาวิธีการจัดลำดับงานที่เหมาะสมซึ่งให้เวลาปิดงานของระบบลดลง

ผลการวิจัยพบว่าแบบจำลองสามารถช่วยให้การวางแผนการผลิตมีความถูกต้องมากยิ่งขึ้น โดยสามารถลดความคลาดเคลื่อนในการวางแผนการผลิตจากเดิม 19.37% เหลือเพียง 3.60% และพบว่าวิธีการจัดลำดับการผลิตของพาลเมอร์ และวิธีของ HFMECA เป็นวิธีการจัดลำดับงานที่เหมาะสมสำหรับการผลิตช่วยลดเวลาปิดงานได้มากกว่า 7 ชั่วโมงหรือร้อยละ 5.32

<b>Thesis Title</b>	Efficiency Improvement of Scheduling Using Heuristic Method and Simulation Technique in Electronic Assemblies Industry Production
<b>Author</b>	Miss Sivarak Intawong
<b>Degree</b>	Master of Engineering (Industrial Engineering)
<b>Thesis Advisory Committee</b>	Assistant Professor Dr. Suntichai Shevasuthisilp Chairperson Assistant Professor Dr. Uttapol Smutkubt Member Assistant Professor Dr. Wichai Chattinnawat Member

### ABSTRACT

The objective of this research is to reduce the makespan error in production planning by providing a proper sequencing process which will lead to the decreasing of overall processing time, or makespan. The company selected as a case study is involved in flowshop manufacturing of flex cable circuit, with full plate production using a two-sided assembly line as part of roll-to-roll processing. The problem encountered was more than 20% error (27 hours) in job completion between production planning and real production. Improper job sequencing caused idle time and a long wait for the machine in the manufacturing station, which resulted in a long makespan time (average 137 hours).

Developing a model by using Arena simulation can reduce the makespan error in production planning. The model is validated by using hypothesis testing, comparing makespan of real production and makespan of simulation at a 95% significance level. The production line is flowshop manufacturing, which presents a non-polynomial hard problem that is difficult to solve. Four heuristic scheduling methods – Palmer, Gupta, CDS (Campbell, Dudek and Smith) and HFMECA (Hybrid Flowshop under Machine Eligibility Constraint Algorithm) – are used to compare with the preprocess scheduling, in order to provide a proper scheduling method and a minimum makespan.

The results showed that the simulation technique improved production planning by reducing the error rate from 19.37% to 3.60%. Moreover, the Palmer and the HFMECA were the proper scheduling methods for providing the reduction in makespan more than 7 hours (5.32%).