ชื่อเรื่องวิทยานิพนธ์ การพัฒนาโปรแกรมเอทีพีจีสำหรับวงจรดิจิตอล โดยใช้วิธีบูลลีนแซททิสฟายอะบิลิตี้

ชื่อผู้เขียน นายพิทยา สอนไว

วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า

คณะกรรมการตรวจและสอบวิทยานิพนธ์ :

รศ.ดร. เอกชัย แสงอินทร์ ประธานกรรมการ

รศ. ขจรศักดิ์ คันธพนิต กรรมการ

ผศ.ดร. กิติ ลิขิตอนุรักษ์ กรรมการ

บทคัดย่อ

วิทยานิพนธ์เล่มนี้ศึกษาวิจัยวิธีการเพิ่มประสิทธิภาพโปรแกรมการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติโดยใช้หลักวิธีบูลลีนแซททิสฟายอะบิลิตี้ เพื่อให้สามารถทดสอบจุดเสียแบบติดค้างเดี่ยวได้ทั้งในวงจรประกอบและวงจรลำดับ เนื่องจากหลักวิธีบูลลีนแซททิส-ฟายอะบิลิตี้ใช้เวลาในการทดสอบค่อนข้างสูง โดยใช้เวลาส่วนใหญ่ในการสร้างโครงสร้างข้อมูลเพื่อเป็นตัวแทนความสัมพันธ์ทางตรรกระหว่างวงจรที่ดีกับวงจรที่เกิดขึ้นจากจุดเสียที่กำลังพิจารณาและในการกำหนดค่าให้กับตัวแปรซึ่งเป็นตัวแทนของวงจรผลลัพธ์ที่สร้างขึ้น ดังนั้นเพื่อแก้ปัญหาเวลาที่ใช้ในการทดสอบ งานวิจัยนี้จึงได้เสนอการนำหลักวิธีทางโครงสร้างเข้ามาประยุกต์ใช้ในกระบวนการยุบรวมจุดเสียและกระบวนการสร้างอนุประโยคเงื่อนไข ซึ่งจะช่วยลดจำนวนจุดเสียที่จะถูกทดสอบและทำให้การกำหนดค่าเพื่อหารูปแบบสัญญาณทดสอบทำได้รวดเร็วขึ้น ผลการทดสอบกับวงจรประกอบมาตรฐาน ISCAS'85 และ วงจรลำดับมาตรฐาน ISCAS'89 ได้ถูกนำเสนอในงานวิจัยนี้ด้วย

Thesis Title	Development of an ATPG Program for Digital Circuits Using Boolean Satisfiability Method
Author	Mr. Pittaya Sonwai
M.Eng	Electrical Engineering

Examining Committee :

Assoc. Prof. Dr. Akachai	Sang-In	Chairman
Assoc. Prof. Kajornsak	Kantapanit	Member
Asst. Prof. Dr. Kiti	Likitanuruck	Member

ABSTRACT

This study aims at increasing the efficiency of an ATPG program by using Boolean Satisfiability method. Normally, the test pattern generation process based on Boolean Satisfiaility method consumes very long time, especially in the process of constructing data structure of the circuit under test. This thesis applies the structural methods to the process of fault collapsing for reducing target fault to be tested and to the process of making constraint clauses for assigning logic values to variable in the test pattern generation process, thus reducing the time consumed in the overall ATPG process. Some experimental results tested on Benchmark circuits, ISCAS'85 and ISCAS'89, are also given